

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-88782

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月23日

H 04 N 9/07

A

8943-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 撮像装置

⑯ 特 願 平2-204776

⑰ 出 願 平2(1990)7月31日

⑱ 発 明 者	佐々木 卓	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑲ 発 明 者	山 上 琢	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑳ 発 明 者	菅 章	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
㉑ 出 願 人	キャノン株式会社	東京都大田区下丸子3丁目30番2号	
㉒ 代 理 人	弁理士 丸島 儀一	外1名	

明 細 書

1. 発明の名称

撮像装置

2. 特許請求の範囲

輝度に対応する第1のフィルタを装着するか又はフィルタを装着しない画素を市松状にし、

その他の画素には少なくとも2種の第2、第3の色フィルターを配列した撮像素子と、

該撮像素子からの信号の輝度信号の補間及び色信号の同時化を行うメモリと、
を有することを特徴とする撮像装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は単板カラービデオカメラや電子マルチカメラ等の撮像装置に関する。

〔従来の技術〕

従来、この種の撮像装置のカラーフィルタの配列は、第4図のようなストライプフィルタや第5図のようなモザイクフィルタなどがよく知られている。例えば、“今井邦雄 民生用ビデオムー

ビーにおける良い画質の現状技術 エレクトロニクスエッセンシャルズP. 6 1989. 7”にも述べられているように同じ画素数のCCDを用いた場合、一般にストライプフィルタの場合よりもモザイクフィルタを用いた場合の方が高い水平解像力が得られる。このため最近のビデオカメラにおいてはほとんどこのモザイクフィルタ方式が採用されている。

これに対して、USP3971065に開示されているように、いわゆるBayer配列の色フィルタを装着した撮像素子を用いても、上述のような単板ビデオカメラが構成できることは明らかである。

このような配列を用いた場合、USP3971065に説明されているように、輝度Yが2次元的にオフセットサンプリングされているので、サンプリング効率が高く、従って、このようにして得られた輝度信号Yを用いて、撮像信号処理すれば、非常に品位の高い画像が得られる。

〔発明が解決しようとしている課題〕

従って、同じ画素数の撮像素子を用いるのであればストライプフィルタやモザイクフィルタよりも例えば、第2図や第3図のようなBayer配列を用いた方がよりよい画質が得られる。

このようなよい画質を得るためには、例えば第6図中、斜線で示される部分の輝度信号 Y_r を、例えば

$$Y_r = \frac{1}{4} [Y_1 + Y_2 + Y_3 + Y_4] \quad (1)$$

のように上下左右の画素の輝度信号から補間する必要がある。

しかし、例えばインターライン型CCDではインタレース駆動しかできないので、従来のアナログ処理方式では第6図中、第2ラインを走査している時は Y_r 、 Y_b の情報は別のフィールドにあるので容易に得られず、実際にBayer配列を用いて撮像装置を構成するという試みはほとんど行われていなかった。

また、色信号に関してもインタレース走査をすると、例えば第2図では第1フィールドでは Y と

15の出力は、ラッチ回路16、17でタイミング ϕ_1 、 ϕ_2 でラッチされる。 ϕ_1 、 ϕ_2 は撮像素子の画素ごとのよみ出しクロック ϕ_0 の2倍の周期をもっており、互いに位相が反転している。この結果、ラッチ16の出力には Y 、ラッチ17の出力には C_r 又は Y_b がフィールドごとに出力される。

スイッチ18は ϕ_1 と同期してラッチ18の出力と0を交互に出力する輝度補間部22では後述のように、フィールドメモリを用いて輝度の補間を行う。

次に、色処理は2つの色差 $R-Y$ 、 $B-Y$ を得るために次のようにすればよい。

即ち Y から C_r を引いたものはおおむね R 信号と考えられる。

$$R = kY - \alpha C_r \quad (1)$$

同様に

$$B = \beta Y - \beta Y_b \quad (2)$$

となる。

(ここで k 、 α 、 β は定数である。)

C_b 、第2フィールドでは Y と Y_b の情報しか得られず、従来のアナログ信号処理では、カラー画像の形成は非常に困難であった。

〔課題を解決するための手段(及び作用)〕

本発明によれば、撮像装置からの信号をA・D変換して一旦メモリへ記録し、その後デジタル処理を行うことで、通常のインタレース走査しかできないインターラインCCDを用いても、Bayer配列に好適な撮像装置を構成できる。

〔実施例〕

第1図は本発明を適用したビデオカメラの構成を示す図である。

レンズ11、光学ローパスフィルタ12を通して、撮像素子13上に結像された光学像は、撮像素子13上で光電変換される。撮像素子13には、第2図に示されるような色フィルタが装着されている。撮像素子13からインタレース走査で読み出された信号を、アナログ処理回路14でCDS、 γ 処理等の信号処理を行い、その後、A・D変換器15でA・D変換する。A・D変換器

従って、乗算器19、20は第1フィールドでは(1)式中の k 、 α 、第2フィールドでは(2)式中の β の倍率をもつようにシステムコントローラ25により制御される。減算器21では、(1)、(2)式に従ってこれらの差を演算するので、21の出力はフィールド順次の R 、 B 信号となる。尚、減算は ϕ_1 又は ϕ_2 に同期して行えばよい。色処理部23でも1フィールド分のメモリを用いて補間処理、同時化処理、 γ 処理などが行われる。

色差マトリクス部24で、 $Y-Y$ と $R-Y$ 、 $B-Y$ との差をとって、2つの色差信号が形成され、これをNTSCエンコーダ26でインタリーブされた信号とし、更に同期信号付加部27で同期信号を付加し、又、D/A変換器28でD/A変換されビデオ信号として出力される。

もちろん、本発明は他にも、インタレースされている方式、例えばPAL方式にも適用できる。

次に第7図に輝度信号補間部22の構成例を

示す。この例では水平FIRフィルタ31と垂直FIRフィルタ32がカスケード接続されている。

水平FIRフィルタ31は、係数倍器35、36、37とデレイ33、34、加算器38から成り(1/8, 1/4, 1/8)という補間ローパスフィルタと構成する。

垂直FIRフィルタ32は、係数倍器41、42、43と1V-0.5H分のFIFO型のフィールドメモリ39と、1Hデレイメモリ40と加算器44から成り(1/8, 1, 1/8)という補間ローパスフィルタを構成する。

従って、全体として

$$\begin{bmatrix} 1/8 & 1/4 & 1/8 \\ 1/4 & 1/2 & 1/4 \\ 1/8 & 1/4 & 1/8 \end{bmatrix}$$

という2次元補間ローパスフィルタが構成されている。

又、第8図に色処理23の構成例を示す。フィールド順次のR/B信号は水平FIRフィルタ5

1で水平方向にフィルタリングされ、次に垂直FIRフィルタ52で垂直方向にフィルタリングされる。

更に1フィールド分のFIFO型メモリ59で、フィルタ52の出力を1Vデレイすることにより、メモリ59の入出力にRとBの信号が同時化されて得られる。これを、スイッチ60、61でフィールド毎にスイッチすると、これらの出力にはRとBが得られる。

このRとBの信号はγ変換部62、63でγ変換されたのち色信号水平補間部64でデータレートを2倍にする。これは、以上の色処理がここまですべてクロックφ1と同期して行われているためである。従ってフィールドメモリ59の容量はフィールドメモリ39の約半分が良い。

〔他の実施例〕

第2図の配列のかわりに第3図のような配列を用いても本発明は有効である。

第3図の場合は、フィルタが純色なので色再現性が良いがYとR、Bの感度差が大きいためYが

飽和しやすい。この場合は第1図において、ラッチ17の出力がRまたはBとなるので、これをそのまま色処理部23へ入力すればよい。或は第1図と同様な構成にして、乗算器のゲインをコントロールすることでホワイトバランスをとりながら、色処理部23へは色差R-Y、B-Yの形で入力し、このまま処理してもよい。

また、電子スチルカメラのように、リアルタイム処理が必要のない場合は、第1図の構成において、FIFOでない、通常のメモリに一時記録し、その後、適当なスピードでメモリの内容をよみ出しながらデジタル処理を行ってもよい。

〔発明の効果〕

本発明によれば、従来アナログ処理では困難であった、Bayer配列を持ったインタレース駆動する撮像素子を用いて、信号処理が可能になり、Bayer配列の本来もっている高画質を実現できる。

4. 図面の簡単な説明

第1図は本発明の実施例図、第2図は本発明に

適した色フィルタ例を示す図、第3図は本発明に適した色フィルタの他の実施例図、第4図、第5図は夫々従来の色フィルタ例図、第6図は本発明における輝度の補間方法の例を示す図、第7図は本発明の輝度補間回路例図、第8図は本発明の色処理部の構成例図である。

13：撮像素子、

15：A・D変換器

39：輝度用フィールドメモリ

59：色信号用フィールドメモリ

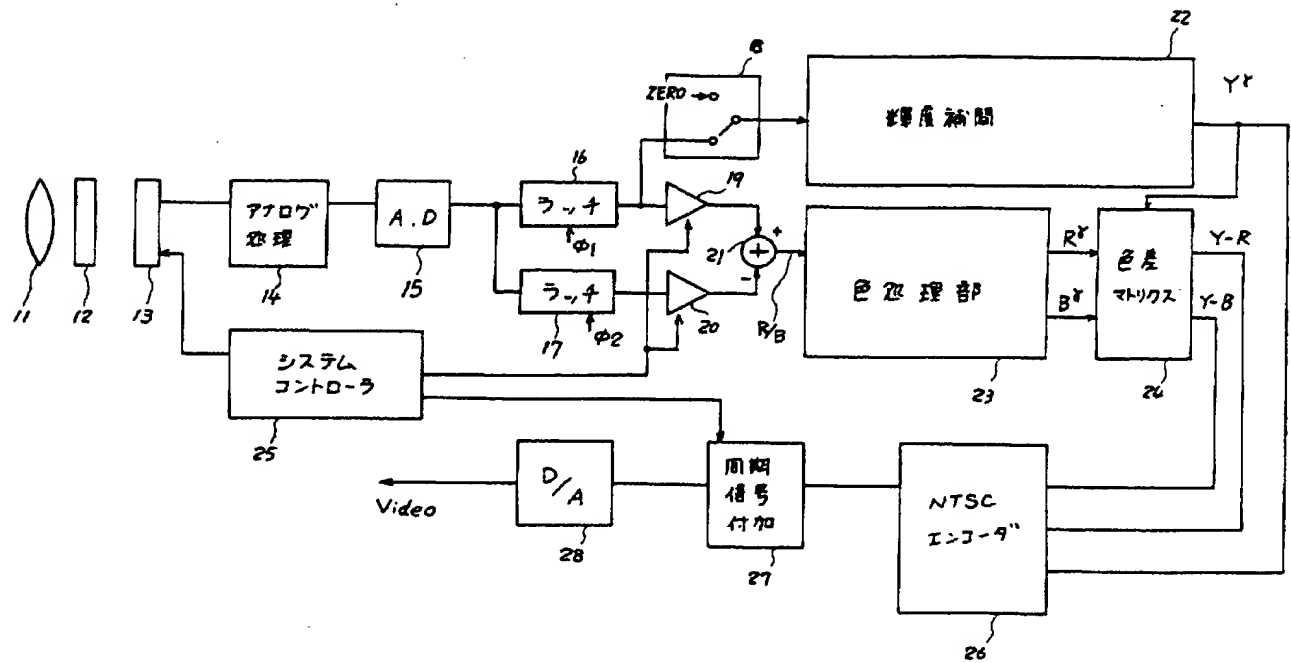
出願人 キヤノン株式会社

代理人 丸 島 儀 一

西 山 恵 三



第1図



第2図

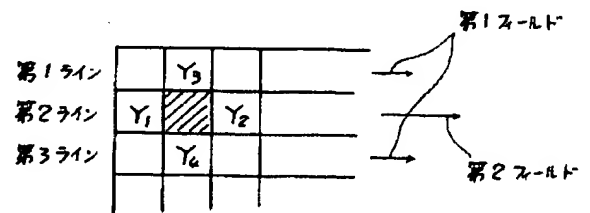
①

C _y	Y	C _y	Y	C _y
Y	Y _e	Y	Y _e	Y
C _y	Y	C _y	Y	C _y
Y	Y _e	Y	Y _e	Y

第3図

R	Y	R	Y	R
Y	B	Y	B	Y
R	Y	R	Y	R
Y	B	Y	B	Y

第6図



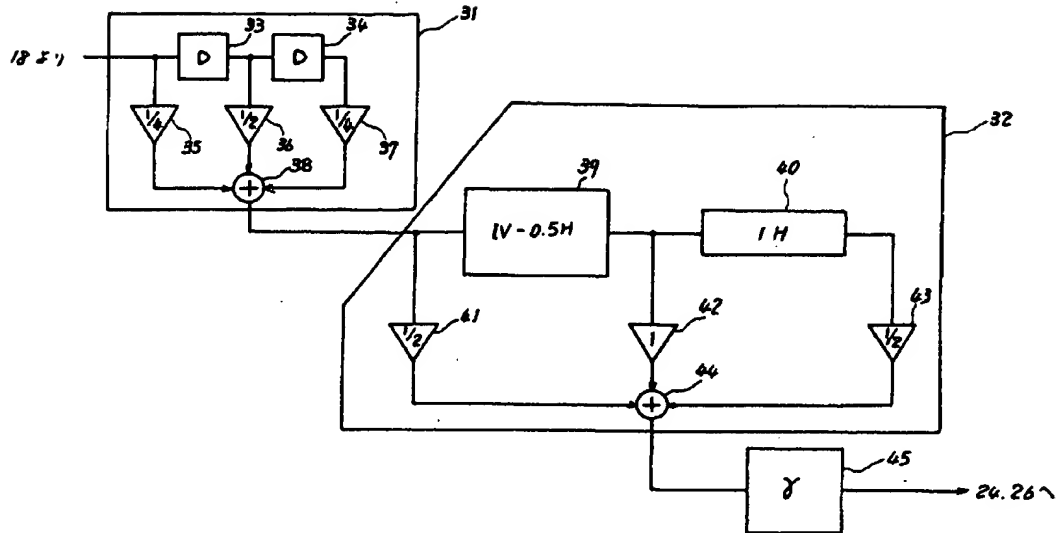
第4図

R	G	B
---	---	---

第5図

M _g	G _r	M _g	G _r
C _y	Y _e	C _y	Y _e
M _g	G _r	M _g	G _r
Y _e	C _y	Y _e	C _y

第 7 図



第 8 図

